

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-031437

(43)Date of publication of application : 01.02.1990

(51)Int.Cl.

H01L 21/60

H01L 21/56

(21)Application number : 63-182139

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 21.07.1988

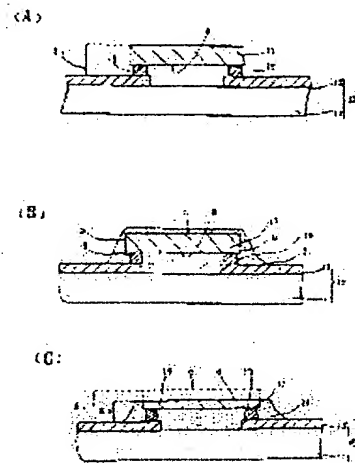
(72)Inventor : ICHIKAWA KIMIYA

(54) METHOD FOR PACKAGING SEMICONDUCTOR CHIP

(57)Abstract:

PURPOSE: To enhance packaging density without defectively affecting a semiconductor chip by a method wherein a semiconductor chip is bonded face down onto a circuit board and sealed in a resin and then the rear side of the chip is subjected to grinding for a reduction in the packaging height.

CONSTITUTION: A wire 13 or other components are arranged on top of a board 11 for the construction of a circuit board 15. Thereafter, through the intermediary of a bump 10, face down bonding is accomplished for the establishment of electrical connection between a driving IC 17 and the wire 13. In Fig. A, 11 is the packaging height. Next, a resin is put into between the face (a) of the driving IC 17 and the circuit board 15, and is applied to the side (b) and the rear face (c) of the driving IC 17, a resin layer 21 is formed, and the driving IC 17 is hermetically fixed to the circuit board 15 for the construction of a product in Fig. B. A process follows wherein a polisher is used for grinding the driving IC 17 from the rear face (c) for the formation of a rear face (d) wherewith the package height is reduced to 12, which completes the packaging of a semiconductor chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-31437

⑬ Int. Cl.³

H 01 L 21/60
21/56

識別記号

3 1 1 S
R

庁内整理番号

6918-5F
6412-5F

⑭ 公開 平成2年(1990)2月1日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体チップの実装方法

⑯ 特 願 昭63-182139

⑰ 出 願 昭63(1988)7月21日

⑱ 発 明 者 市 川 公 也 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 大 垣 孝

明 細 書

1. 発明の名称

半導体チップの実装方法

2. 特許請求の範囲

(1) 回路基板上に半導体チップをフェースダウンボンディングする工程と、

前記半導体チップを樹脂により封着した後、
該半導体チップの裏面を研削する工程と
を含むことを特徴とする半導体チップの実装方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、回路基板上に半導体チップを実装する際に適用して好適な技術に関するものであり、特に、フェースダウンボンディング技術を利用した実装技術に関する。

(従来技術)

従来、回路基板に形成された配線等に、種々の機能を担った半導体チップを電気的に接続する実装技術として、ワイヤボンディング法とワイヤ

レスボンディング法とが知られている。これらの実装技術は、回路基板に半導体チップを実装して構成される機器の目的や用途に応じて使い分けられている。

上述した実装技術のうち、ボンディングワイヤを用いることなく実装し得るワイヤレスボンディング法は、当該ワイヤの曲りや倒れによる短絡を回避することができ、高密度実装が可能な技術として広く用いられている。

このようなワイヤレスボンディング法を利用した技術として、例えば特開昭61-172755号公報に開示されるものが知られている。この公報によれば、回路基板上に具えられた発熱抵抗体に対する電力供給を制御するための駆動用ICとしてフリップチップを用い、フェースダウンボンディング法によってサーマルヘッドの小型化を図るものである。

以下、図面を参照し、従来技術の実装技術につき説明する。

第3図は、上述した公報に開示されるサーマル

ヘッドの駆動用ICが実装された部分を概略的断面により示す説明図である。尚、図中、断面を示すハッチングは一部省略してある。

この図からも理解できるように、例えばアルミナのような絶縁材料から構成される基板11の表面には、アルミニウムまたはその他の導電性材料を接着した後、装置の設計に応じたパターンを以って、配線13が形成される。このような基板11と配線13とにより、回路基板15が構成される。

上述した配線13は、サーマルヘッドに対して電力を供給するための入力電極と、実際に発熱する発熱抵抗体（いずれも図示せず）との間に配設され、同図中に示す駆動用IC17は、19の符号を付して示すパンプを介して、上述した配線13に接続される。

このように、フェースダウンボンディング法によって駆動用IC17を実装する場合には、種々の半導体素子が作り込まれた半導体チップのフェース面（図中、aの符号を付して示す。）と回路基板15とが対向する状態で、これらを電気的に

パンプの高さとの和以下とすることが難しく、立体的な実装密度の向上を図ることが難しいという問題点が有った。

この点につき詳細に説明すれば、周知のように、半導体チップの作製は、半導体材料から成るウエハに複数のチップを作り込むことによって行なわれている。例えば、バックラップと称されるウエハの厚さを小さくする技術により、上述の実装高さの低減を図る場合、ウエハ自体の損傷を生じたり、或いはチップとして切り出して実装するまでの取り扱いが難しくなり、歩留りの低下を招くという問題を主じる。

この発明の目的は、上述した従来の問題点に鑑み、歩留りの低下を招くことなく、フェースダウンボンディングによる半導体チップの実装密度を向上させることが可能な技術を提供し、延いては、小型で信頼性の高い機器を安価にすることに有る。

（課題を解決するための手段）

この目的の達成を図るため、この発明の半導体

接続することができる。従って、ワイヤボンディング法のようなマウント部の配設を必要とせず、さらに、複数の配線に対して1回のボンディング作業で接続することが可能であるため、平面的な実装密度や作業効率の向上を図ることができる。

一方、種々の機器の高速化及び小型化を図る目的で、上述した回路基板15上に形成された配線13の微細化が進められている。これがため、微細な配線に接続するためのパンプに関しても、寸法の縮小が必要となる。従って、係る要求に対処するため、上述した駆動用ICのような半導体チップを樹脂で封止して回路基板15上に固定し、接続強度を確保することが成されている。また、この樹脂封止は、パンプ、配線及び半導体チップ（特に、フェース面aに形成された半導体素子）への湿気等の影響を低減させる役割も果たし得る。

（発明が解決しようとする課題）

しかしながら、上述した従来の技術では、半導体チップ実装時の実装高さを、ウエハの厚さと

チップの実装方法によれば、

回路基板上に半導体チップをフェースダウンボンディングする工程と、

上述した半導体チップを樹脂により、上述した回路基板上に封着した後、この半導体チップの裏面を研削する工程とを含むことを特徴としている。

尚、上述した樹脂による封着とは、少なくとも半導体チップのフェース面と回路基板との間隙に樹脂を充填し、さらに、樹脂によって当該チップの側面を被覆した状態を示す表現として用いている。

（作用）

この発明の半導体チップの実装方法によれば、まず、回路基板上にフェースダウンボンディングした半導体チップを樹脂で封着した状態とする。然る後、この状態の半導体チップの裏面、即ち、フェース面とは相対向し、半導体素子が形成されていない面を研削する。これがため、樹脂によって回路基板との接続強度を保った状態で半導体

チップの厚さを小さくし、実装高さの低減を図ることができる。

(実施例)

以下、図面を参照して、この発明の実施例につき説明する。尚、以下の説明で参照する図面はこの発明を理解し得る程度に概略的に示してあるに過ぎず、この発明は、これら図示例にのみ限定されるものではないことを理解された。また、この発明は半導体チップを回路基板にフェースダウンボンディングする場合に広く適用し得るものであり、このような実装技術を適用し得る機器は種々のものが考えられるが、以下の実施例では、前述した従来技術との比較を容易とする目的でサーマルヘッドを作製する場合につき例示して説明する。

第1図(A)～(C)は、実施例に係る実装技術を説明するため、各実装工程毎に、前述した第3図と同様な概略的断面により示す説明図である。これら図中、断面を示すハッチングは一部省略し、既に説明した構成成分と同一の機能を

に形成した。尚、このパンプを実装した後の高さは、約50(μm)であった。

このことから理解できるように、第1図(A)中、 ℓ_1 の符号を付して示すボンディング直後の実装高さは約575(μm)となる。

次に、上述した駆動用IC17のフェース面uと回路基板15との間、及び当該IC17の側面bや裏面cに、絶縁性を有する樹脂材料を充填・塗布して当該材料中に埋め込んだ後、焼成硬化させて樹脂21を形成する。このようにして、駆動用IC17を回路基板15に封着固定して第1図(B)に示す状態を得る。尚、上述した樹脂21としては、従来最も広く用いられているエポキシ系の樹脂を用いた。

続いて、図示していない小型研磨機を用い、上述した封着状態に有る駆動用IC17の裏面c(第1図(B)参照)側から研削し、第1図(C)に示す実装高さ ℓ_2 となるような新たな裏面dを形成して、半導体チップの実装を終える。この実施例では、約400(μm)に亘って駆動

有するものについては同一の符号を付して詳細な説明を省略する。

まず始めに、従来と同様に、基板11の表面に配線13、または図示していない発熱抵抗体等、サーマルヘッドの設計に応じた種々の構成成分を配設して、回路基板15を得る。然る後、前述したように、パンプ19を介して、駆動用IC17と配線13との間の電気的な接続をフェースダウンボンディングによって行ない、第1図(A)に示す状態を得る。

ここで、上述した駆動用IC17とパンプ19との寸法につき説明する。

まず、駆動用IC17を得るに当って、直径4インチ(約7.3(cm))、厚さ525(μm)のシリコンウエハを用いて半導体素子を作り込んだ後に、約7.5(mm)×1.5(mm)のチップサイズで切り出して半導体チップを得た。

また、パンプ19は、従来用いられている半田材料で、半径が約100(μm)、高さが約80(μm)を以って、上述した駆動用IC17のフェース面a

用IC17を研削し、上述の研削後の実装高さ ℓ_2 を約175(μm)とした。尚、説明の理解を容易とするため、第1図(C)には前述したボンディング直後(研削前)の裏面cを破線で示す。

ここで、上述した第1図(B)及び(C)を参照して、駆動用ICの封着から研削に係る工程につき、さらに詳細に説明する。

既に説明したように、この発明によれば、回路基板上にフェースダウンボンディングした半導体チップを樹脂で封着した後、裏面を研削することにより当該チップの厚さを小さくして、実装高さの低減を図るものである。

まず、上述した実施例では、樹脂21によって駆動用IC17を完全に埋め込んだ状態で研削を行なう場合につき例示して説明した。従って、実際に研削を行なうに当っては、裏面cに被着した樹脂を研削した後、駆動用IC17自体と側面bに被着した樹脂とを研削することによって第1図(C)に示す状態を得ることとなる。この発明に係る実装方法は、上述した樹脂21で固定するこ

とにより、駆動用IC17(半導体チップに相当)とパンプ19との接続強度を維持した状態で研削を行なうものである。これがため、接続強度の維持のみを目的として行なう場合には、フェース面aと回路基板11との間隙にのみ樹脂を充填して行なっても良い。しかしながら、上述の研削による半導体チップの損傷(例えばチップ端部の欠け)を回避するため、少なくとも、前述した断面bにも樹脂を被着させて実施するのが好適である。従って、この実施例では、樹脂の塗布に係る作業性を考慮して、半導体チップの裏面cにも樹脂が被着した状態で封着を行なった。

第1図(A)~(C)を参照して説明したように、この発明の実装方法を適用することにより、前述した実装高さ h_1 と h_2 との差に相当する寸法だけ、回路基板の厚さ方向における実装密度を向上させることができる。しかしながら、この発明の方法は、上述した方向における密度向上にのみ効果を有するものではない。

27によって搬送される感熱紙等と駆動制御部25との接触を回避するため、発熱素子部23と駆動制御部25とは、所定の離間距離sを以って配設する必要がある。従って、第2図からも理解できるように、この発明の方法を適用して実装高さ h_2 とした場合、従来の実装高さ h_1 である場合に比して、離間距離sを小さく設計し得る。換言すれば、回路基板15の厚さ方向の実装密度のみならず、当該基板の延在方向に亘る実装密度をも向上させることができる。

また、一般に、サーマルヘッドを実際に駆動させる際、回路基板と駆動用ICとの熱膨張係数の差によって、パンプ19に繰り返し応力による疲労を生じる。しかしながら、この発明の方法により実装された駆動用IC17は、厚さを小さくして配設されているため、上述の疲労を軽減することができ、接続に関する信頼性の向上が期待できる。

以上、この発明の実施例につき、詳細に説明したが、この発明の実装方法は上述の実施例に

次に、上述した実施例に係る実装技術をサーマルヘッドの作製に適用した場合の効果につき図面を参照して説明する。

第2図は、サーマルヘッドの概略的な装置断面により模式的に示す説明図である。同図中、既に説明した構成成分と同一の機能を有するものについては同一の符号を付し、断面を示すハッチングは一部省略してある。さらに、回路基板15の詳細な構成については省略する。

この図からも見て取れるように、サーマルヘッドは、主として、発熱抵抗体等を配設して構成される発熱素子部23と前述した駆動用IC17を配設して構成される駆動制御部25とから成っている。

このうち、発熱素子部23には、例えば感熱紙や熱転写テープを密着させる目的でプラテンローラ27が当接配置される。また、この発熱素子部23と駆動制御部25との間は、前述した配線13(図示省略)によって電気的に接続されている。

このような装置構成において、プラテンローラ

のみ限定されるものではない。

例えば、この実施例では、サーマルヘッドを構成する駆動用ICの実装を例示して説明した。しかしながら、これに限定されるものではなく、ハイブリッドICのような種々の機能を有する半導体チップに適用することができる。

また、半導体チップと回路基板との電気的な接続を目的として、パンプを配設してフェースダウンボンディングした場合につき説明したが、例えばビームリードやペDESTALを用いた場合であっても上述と同様な効果を期待できる。換言すれば、この発明の実装方法は、フェースダウンボンディングのように、実装後に研削しても半導体チップの機能を阻害しないような裏面cを利用する技術であれば、回路基板と半導体チップとの間の接続技術に限定して実施されるものではない。

さらに、上述した実施例では、サーマルヘッドを構成するための従来周知の材料を例示して説明した。しかしながら、これらに限定されるもので

はなく、例えば研削を行なうに当って、回路基板と半導体チップに形成される裏面cとの平行度を高くするためには、掘削の少ない材料を選択すれば良い。

これら材料、寸法、形状、配置関係、数値的条件及びその他の条件は、この発明の目的の範囲内で、任意好適な設計の変更及び変形を行ない得ること明らかである。

(発明の効果)

上述した説明から明らかなように、この発明の半導体チップの実装方法によれば、回路基板上にフェースダウンボンディングした半導体チップを樹脂で封着した後、当該チップの裏面を研削して実装高さを低減する構成となっている。これがため、半導体チップの欠損をきたすことなく実装密度の向上を図ることができる。

従って、種々の機能を有する半導体チップを実装して構成される機器に関して、歩留りを低下させることなく実装密度の向上を図ることができ、小型で信頼性の高い機器を安価に提供することが

ことができる。

4. 図面の簡単な説明

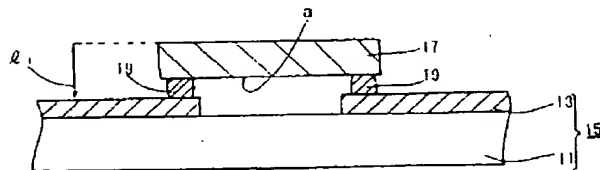
第1図(A)～(C)は、この発明の実施例を説明するため、各実装工程の概略的な基板断面により示す説明図、

第2図は、実施例を説明するため、サーマルヘッドの概略的な装置断面により示す説明図、

第3図は従来技術の説明のため、概略的な基板断面により示す説明図である。

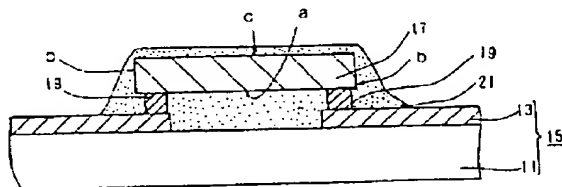
- 11……基板、13……配線、15……回路基板
- 17……駆動用IC(半導体チップ)
- 19……パンプ、21……樹脂、23……発熱素子部
- 25……駆動制御部、27……プラテンローラ
- a……フェース面、b……側面
- c……裏面(研削前)、d……裏面(研削後)
- h_1 ……ボンディング時の実装高さ
- h_2 ……研削後の実装高さ
- s……離間距離。

(A)



11: 基板 13: 配線 15: 回路基板
17: 駆動用IC(半導体チップ) 19: パンプ
a: フェース面 h_1 : ボンディング時の実装高さ

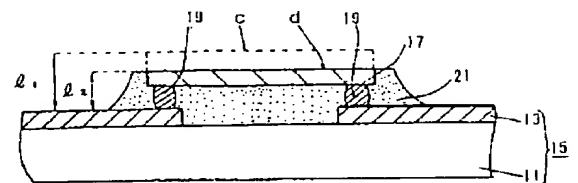
(B)



21: 樹脂 b: 側面 c: 裏面(研削前)

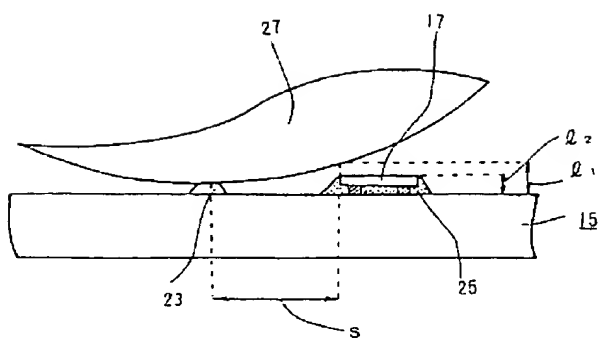
実施例の説明図
第1図

(C)



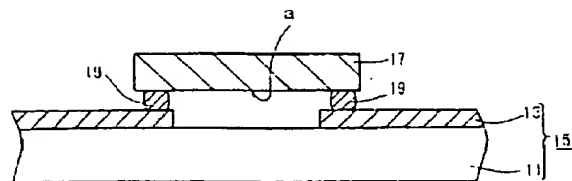
d: 裏面(研削後) h_2 : 研削後の実装高さ

実施例の説明図
第1図



23 : 発熱素子部 25 : 駆動制御部
27 : プラテンローラ s : 離間距離

実施例の説明図
第 2 図



従来技術の説明図

第 3 図